

特許協力条約

PCT

特許性に関する国際予備報告 (特許協力条約第二章)

(法第 12 条、法施行規則第 56 条)

[PCT 36 条及び PCT 規則 70]

REC'D 01 DEC 2005

WIPO

PCT

出願人又は代理人 の書類記号 04-8057-SNY	今後の手続きについては、様式 PCT/IPEA/416 を参照すること。	
国際出願番号 PCT/J P 2004/009885	国際出願日 (日.月.年) 05.07.2004	優先日 (日.月.年) 04.07.2003
国際特許分類 (IPC) Int.Cl. G11C11/41 (2006.01), G11C11/419 (2006.01)		
出願人 (氏名又は名称) ソニー株式会社		

1. この報告書は、PCT 35 条に基づきこの国際予備審査機関で作成された国際予備審査報告である。
法施行規則第 57 条 (PCT 36 条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
3. この報告には次の附属物件も添付されている。
- a. ☒ 附属書類は全部で 2 ページである。
- ☒ 補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び/又は図面の用紙 (PCT 規則 70.16 及び実施細則第 607 号参照)
- ☐ 第 I 欄 4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙
- b. ☐ 電子媒体は全部で _____ (電子媒体の種類、数を示す)。
配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。
(実施細則第 802 号参照)

4. この国際予備審査報告は、次の内容を含む。

- ☒ 第 I 欄 国際予備審査報告の基礎
- ☐ 第 II 欄 優先権
- ☐ 第 III 欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- ☐ 第 IV 欄 発明の単一性の欠如
- ☒ 第 V 欄 PCT 35 条 (2) に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第 VI 欄 ある種の引用文献
- ☐ 第 VII 欄 国際出願の不備
- ☐ 第 VIII 欄 国際出願に対する意見

国際予備審査の請求書を受理した日 17.01.2005	国際予備審査報告を作成した日 06.11.2005	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号 100-8915 東京都千代田区役が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 加藤 俊哉	5 N 9554
電話番号 03-3581-1101 内線 3586		

様式 PCT/IPEA/409 (表紙) (2005 年 4 月)

特許性に関する国際予備報告

国際出願番号 PCT/JP2004/009885

第I欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願
☐ 出願時の言語から次の目的のための言語である _____ 語に翻訳された、この国際出願の翻訳文
☐ 国際調査 (PCT規則12.3(a)及び23.1(b))
☐ 国際公開 (PCT規則12.4(a))
☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類☒ 明細書

第 1-23 _____ ページ、出願時に提出されたもの

第 _____ ページ*、 _____ 付けで国際予備審査機関が受理したもの

第 _____ ページ*、 _____ 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 2, 4, 6, 8-16 _____ 項、出願時に提出されたもの

第 1, 5 _____ 項*、PCT19条の規定に基づき補正されたもの

第 _____ 項*、 _____ 付けで国際予備審査機関が受理したもの

第 _____ 項*、 _____ 付けで国際予備審査機関が受理したもの

☒ 図面

第 1-12 _____ ページ/図、出願時に提出されたもの

第 _____ ページ/図*、 _____ 付けで国際予備審査機関が受理したもの

第 _____ ページ/図*、 _____ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☒ 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 3, 7 _____ 項
☐ 図面 第 _____ ページ/図
☐ 配列表 (具体的に記載すること) _____
☐ 配列表に関連するテーブル (具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 第 _____ ページ/図
☐ 配列表 (具体的に記載すること) _____
☐ 配列表に関連するテーブル (具体的に記載すること) _____

* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、
それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲 1, 2, 4-6, 8-16	有
	請求の範囲	無
進歩性(IS)	請求の範囲	有
	請求の範囲 1, 2, 4-6, 8-16	無
産業上の利用可能性(IA)	請求の範囲 1, 2, 4-6, 8-16	有
	請求の範囲	無

2. 文献及び説明(PCT規則70.7)

文献1: JP 9-128958 A (ソニー株式会社) 1997.05.16

文献2: JP 2001-521262 A (アーティサン・コンポーネンツ・インコーポレーテッド)
2001.11.06

請求の範囲 1, 2, 4, 9-12, 14-16 に係る発明は、国際調査報告で引用された文献1より進歩性を有しない。

ダミービット線DBL/DBLBの信号入力に基づき、イネーブル信号ENをローレベルに切り換えて、ロウデコーダRDCおよびカラムデコーダCDCを非アクティブ状態に制御し、プリチャージ動作に入ることが文献1の【0029】に記載されている。

また、文献1の第3図に、ダミービット線対のプリチャージ/プルアップトランジスタDP1, DP2がカラム選択信号COLによって制御されることが記載されている。上記の通り、文献1記載の発明では、ロウデコーダRDCとカラムデコーダCDCに同じ制御を行っており、DP1, DP2の制御をワード線WLで行ってもよいことは自明である。

また、メモリセルの読み出しに参照電圧との比較を行うセンスアンプを用いることは周知であり、ダミーセルの読み出しに該センスアンプを用いることは当業者であれば容易に想到し得たものである。

請求の範囲 5, 6, 8, 13 に係る発明は、国際調査報告で引用された文献1及び文献2より進歩性を有しない。

ダミーセル用のワード線をメモリセルのワード線と別に設けること、ダミーセルを行方向と列方向に設けることは文献2の図1に記載されているように周知であり、文献1記載の発明において、上記構成を採用することは当業者であれば容易に想到し得たものである。

請 求 の 範 囲

1. (補正後) 制御ラインと第1のデータ供給ラインを駆動して特定される第1データ保持回路と、
- 5 前記制御ラインと第2のデータ供給ラインを駆動して特定され、前記第1データ保持回路の隣接した位置に設けられた第2データ保持回路と、
- 前記第2データ保持回路の出力レベルを検出し、該検出結果と閾値との比較結果に応じてタイミング信号を発生する比較回路と、
- 前記第1データ保持回路からデータを読み出す際、前記比較器のタイミング信号に応じて前記第1の制御ラインを駆動する駆動回路とを備え、
- 10 前記比較回路のタイミング信号に応じて、前記駆動回路により制御ラインを不活性化させ、前記第2データ保持回路のバイアスを所定レベルに設定するプリチャージする制御回路を
- 備えた半導記憶装置。
- 15 2. 前記制御ラインをワードラインとし、前記第1と第2のデータ供給ラインをビットラインとする
- 請求項1に記載の半導体記憶装置。
3. (削除)
4. 前記第2データ保持回路を前記第1データ保持回路ごとに設けた
- 20 請求項1に記載の半導体記憶装置。
5. (補正後) 第1制御ラインと第1のデータ供給ラインを駆動して特定される第1データ保持回路と、
- 第2制御ラインと第2のデータ供給ラインを駆動して特定され、前記第1データ保持回路の隣接した位置に設けられた第2データ保持回路と、
- 25 前記第2データ保持回路の出力レベルを検出し、該検出結果と閾値との比較結果に応じてタイミング信号を発生する第1比較回路と、

前記第 1 データ保持回路からデータを読み出す際、前記比較器のタイミング信号に応じて前記第 1 の制御ラインを駆動する第 1 駆動回路と、

前記第 2 制御ラインのレベルを検出し、該検出結果と閾値との比較し結果に応じて第 2 のタイミング信号を発生する第 2 の比較回路と、

- 5 前記第 1 データ保持回路からデータを読み出す際、前記第 2 の比較器のタイミング信号に応じて前記第 2 の制御ラインを駆動する第 2 駆動回路とを備え、

前記前記第 1 比較回路のタイミング信号に応じて、前記駆動回路により制御ラインを不活性化させ、前記第 2 データ保持回路のバイアスを所定レベルに設定するプリチャージする制御回路を

- 10 備えた半導記憶装置。

6. 前記第 1 と第 2 の制御ラインをワードラインとし、前記第 1 と第 2 のデータ供給ラインをビットラインとする

請求項 5 に記載の半導体記憶装置。

7. (削除)

- 15 8. 前記第 2 データ保持回路を前記第 1 データ保持回路の行方向と列方向に設けた

請求項 5 に記載の半導体記憶装置

9. ワード線および一对の第 1 のビット線に接続された第 1 のメモリセルと、
ワード線および一对の第 2 のビット線に接続された第 2 のメモリセルと、

- 20 少なくとも、前記ワード線を共通のタイミングで活性化させるワード線ドライバと、

を有し、

前記第 1 のメモリセルからデータの読み出しを行う場合には、前記第 2 のメモリセルに接続された前記第 2 のビット線のレベルに応じて、前記データの読み出

- 25 しのタイミングを決定する半導体記憶装置であって、

前記ワード線ドライバは、前記一对の第 2 のビット線の電位差が予め設定され